

PATENT ABSTRACTS OF JAPAN

4

(11)Publication number : 05-160762

(43)Date of publication of application : 25.06.1993

(51)Int.Cl.

H04B 3/23

H03H 15/00

H03H 17/02

H04Q 3/42

(21)Application number : 03-322009

(71)Applicant : FUJITSU LTD

(22)Date of filing : 05.12.1991

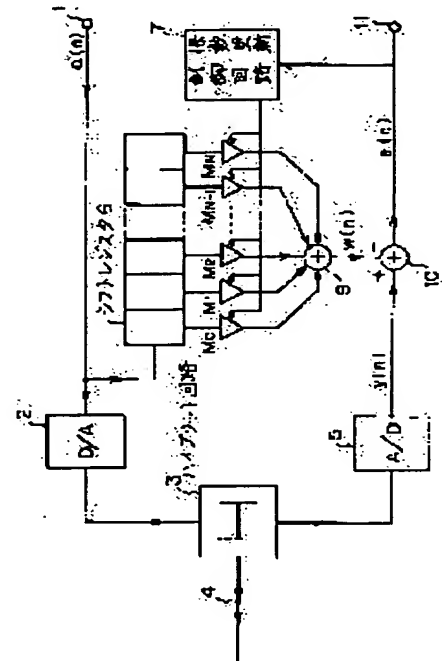
(72)Inventor : TSUNOISHI MITSUO

(54) COEFFICIENT CONTROL SYSTEM FOR ECHO CANCELLER

(57)Abstract:

PURPOSE: To make capable of compressing a circuitry for an arithmetic operation by updating a tap coefficient with plural coefficient updation algorithm methods in the echo canceller of transversal filter of a transmitter.

CONSTITUTION: A transmission signal $a(n)$ is inputted to a D/A converter circuit 2 and a shift register 6. The sum of a reception signal and an echo is converted into digital data by an A/D converter circuit 5. An output of each stage of the shift register 6 is fed to multiplier circuits MO-MN, in which the signal is multiplied with a tap coefficient outputted from a coefficient updation control circuit 7 and the result is fed to an adder 9. The coefficient updation control circuit 7 updates a tap coefficient for each cycle by a 1st coefficient updation algorithm after the start of locking. Then each tap coefficient is updated only for once per plural cycles in a 2nd coefficient updation algorithm at least after a lapse of a prescribed time or after a prescribed locking state is reached. The adder 9 adds outputs of the multiplier circuits MO-MN to output a pseudo echo signal $w(n)$.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

BEST AVAILABLE COPY

174

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-160762

(43)公開日 平成5年(1993)6月25日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 B 3/23		9199-5K		
H 0 3 H 15/00		7259-5 J		
17/02	L	7259-5 J		
H 0 4 Q 3/42	1 0 4	9076-5K		

審査請求 未請求 請求項の数4(全11頁)

(21)出願番号 特願平3-322009

(22)出願日 平成3年(1991)12月5日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 角石 光夫

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人 弁理士 大曾 義之 (外1名)

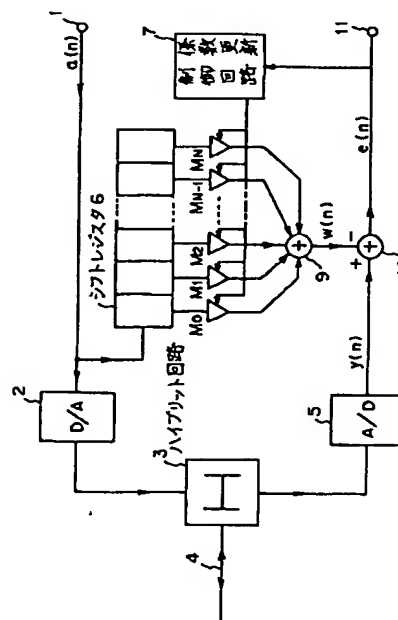
(54)【発明の名称】 エコーキャンセラの係数制御方式

(57)【要約】

【目的】 トランスバーサルフィルタのタップ係数を制御するエコーキャンセラの係数制御方式に関し、エコーキャンセラに係わる全ての処理を例えば16 bitで処理するエコーキャンセラの係数制御方式を目的とする。

【構成】 伝送装置のトランスバーサルフィルタ型のエコーキャンセラにおいて、引き込み開始後、第1の係数更新アルゴリズムにより、毎サイクル係数の更新を行う第1の工程と、一定時間経過後あるいは一定の引き込み状態に達した後の少なくとも一方で第2の係数更新アルゴリズムで複数サイクルに1回だけ各タップ係数を更新する第2の工程とよりなることを特徴とする。

本発明の実施例のエコキャンセラの構成図



【特許請求の範囲】

【請求項1】 伝送装置のトランスバーサルフィルタ型のエコーキャンセラにおいて、引き込み開始後、第1の係数更新アルゴリズムにより、毎サイクル係数の更新を行う第1の工程と、一定時間経過後あるいは一定の引き込み状態に達した後の少なくとも一方で第2の係数更新アルゴリズムで複数サイクルに1回だけ各タップ係数を更新する第2の工程とよりなることを特徴とするエコーキャンセラの係数制御方式。

【請求項2】 前記第1の係数更新アルゴリズムは、各タップについて対応する信号とエコーキャンセラの出力誤差との乗算結果の符号である更新サインに対応して特定値分変更することを特徴とする請求項1記載のエコーキャンセラの係数制御方式。

【請求項3】 前記第2の係数更新アルゴリズムは、各タップについて複数サイクルに渡って前記更新サインを加算して、その結果に重みを乗じたものを元の係数から差し引くものであることを特徴とする請求項2記載のエコーキャンセラの係数制御方式。

【請求項4】 伝送装置のエコーキャンセラのタップのうち、そのタップ係数値の絶対値がある値以上になる可能性のあるタップについてのみ前記第1、第2の工程を行い、その他のタップについては前記第1の係数更新アルゴリズムにより毎サイクルタップ係数を更新することを特徴とする請求項1記載のエコーキャンセラの係数制御方式。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、伝送装置のエコーキャンセラに係り、さらに詳しくはトランスバーサルフィルタのタップ係数を制御するエコーキャンセラの係数制御方式に関する。

【0002】

【従来の技術】電話加入者線のメタリックのペアケーブルを用いて、高速のデジタルデータを送受双方向に同時伝送するには、エコーキャンセラ付のデジタル加入者線伝送インタフェース装置が必要である。

【0003】デジタル信号処理技術を用いた、デジタル加入者線伝送インタフェース装置は既存の電話用のメタリックケーブルを使用して高速のデジタルデータの通信を行う装置であり、その装置内には高速（80kbau d）、多値（4値）のデジタルデータを双方向に同時伝送するハイブリッド装置が使われている。このハイブリッド装置には双方向同時伝送であるため、トランスバーサルフィルタ型のエコーキャンセラが必須である。

【0004】図5は従来のエコーキャンセラの処理フローチャートである。図5の処理はトランスバーサルフィルタ内のシフトレジスタに加えるクロックの毎サイクルで実行する。

【0005】実行を開始すると、ステップS1で

【0006】

【数1】

$$\sum_{k=0}^N \{ C_k(n) \cdot (n-k) \}$$

【0007】を求め、疑似エコー $w(n)$ とする。そして、受信信号とエコーの和 $y(n)$ から疑似エコー $w(n)$ を引いた値を誤差 $e(n)$ とする。ここで n は処理回数である。

【0008】続いて、ステップS2で

$$C_j(n) + \alpha \cdot \text{sgn} [e(n) \cdot a(n-j)]$$

を求め、次のサイクルにおけるタップ係数 $C_j(n+1)$ とする。尚、 α はステップサイズである。ステップS2は各タップについて行うものであり、 $j=0 \sim N$ の間の演算が行われる。

【0009】前述のステップS1、S2を順次毎サイクル実行する。ケーブルの距離が長い場合、遠端からの受信信号は大幅に減衰する。一方送信信号がハイブリッド回路を経由して受信側に回り込むエコーはケーブル距離に対する依存度は低く、殆ど減衰しない。このため、受信端でのエコーの振幅は受信信号に比べて+46dBすなわち200倍の振幅になる場合がある。このようにエコーの振幅／遠端受信信号が大きいとエコーキャンセラで少なくともエコーを58dB以上減衰させる必要がある。58dB減衰させた時の残留エコーは受信信号に対して-12dBとなり、受信信号の判定が可能になる。

【0010】デジタルエコーキャンセラとして約60dBの回り込み減衰量をとるためには、エコーキャンセラのタップ係数の係数語長およびフィルタ処理の積和演算の演算語長が問題になる。

【0011】通常エコーキャンセラの処理はその他の処理も含めてデジタル信号処理により実行されるが、その場合ハードウェアを最小にするため、固定小数点方式による演算を行うのが一般的である。しかしながら、固定小数点演算の場合は、その精度が取り扱う最小の数字などに左右されるため、係数語長をよく検討しておく必要がある。

【0012】エコーキャンセラのトランスバーサルフィルタの演算では、演算語長が問題にならない程度に長い演算語長が必要であり、積和演算用のレジスタ22 bit、その他のレジスタ16 bit以上必要となる。また、タップ係数が固定値であるならば、その語長が16bit程度以上であれば丸め誤差による減衰量の低下は無視できる。

【0013】しかし、トランスバーサルフィルタ型のエコーキャンセラの場合、各タップの係数は毎サイクル各タップに対応する信号シンボルとエコーキャンセラの出力誤差との乗算結果に基づいて、係数の値をステップサイズに相当する値だけ変更するいわゆる係数更新の処理が行われており固定値ではない。また、ステップサイズの大きさは係数語長の最下位 bitに相当する値よりも小さくできない。

【0014】係数更新処理は確率的に真の値に近づける処理であるため、ジグザグ的に、すなわちある程度ぶれながら真値に近づく。このため、ステップサイズが大きいと、真の目的値から一時的にかなり外れた値になることがあり、そのために誤差が生じて、廻り込み減衰量を大きく出来なくなる。

【0015】係数更新処理があるために、上記の廻り込み減衰量を得るには、20〜30タップの従来のエコーキャンセラで、そのタップ係数の係数語長は20 bit以上、信号語長は15〜16 bitが必要となる。

【0016】タップ係数を更新する場合、収束後もタップ係数は真のタップ係数値±ステップサイズの10倍程度とかなりの広がりを持った範囲に分布するため、実質的な誤差は3〜4 bitに相当する値だけ悪くなる。

【0017】

【発明が解決しようとする課題】上述した如く、デジタル加入者線伝送インタフェース装置のエコーキャンセラの係数語長については性能を劣化させないで16 bit化は困難であるため、従来においてはその他の処理も含めて全装置を20 bit処理の汎用デジタル信号処理プロセッサ(DSP)で処理するとか、エコーキャンセラの部分のみを20 bit処理を行う専用プロセッサを使うなどの方法が行われている。

【0018】20 bit処理の汎用デジタル信号処理プロセッサを使用する場合、判定帰還等化器などエコーキャンセラ以外の処理は16 bitの処理で済むにもかかわらず、エコーキャンセラのタップ係数のためだけに、20 bitの処理にせざるを得ないのは装置全体としては高価となる問題を有していた。

【0019】専用ハードウェアを使って装置を構成する場合、一般にエコーキャンセラと判定帰還等化器は類似の処理を行うので、タップ係数の bit 数を16 bitに抑えることができるとエコーキャンセラと判定帰還等化器に対して1つのハードウェアを多重化して使うことができる。これは、その装置の規模の縮小に効果がある。しかしながら、従来は20 bit必要ということで前述と同様に20 bitのハードウェアを共通に使うか、またはエコーキャンセラに対してのみ専用のハードウェアを割り当てなくてはならなかった。このため、ハードウェアの軽減を図ることができないという問題を有していた。

【0020】本発明はエコーキャンセラに係わる全ての処理を例えば16bitで処理するエコーキャンセラの係数制御方式を目的とする。

【0021】

【課題を解決するための手段および作用】本発明は伝送装置のトランスバーサルフィルタ型のエコーキャンセラにおけるものである。

【0022】エコーキャンセラのトレーニング処理で係数語長が影響するまでは、第1の構成によって第1の係数更新アルゴリズムで毎サイクルタップの更新を行い、

収束が進捗してもタップ係数の語長が短いために誤差が小さくなくなると、一定の時間経過後あるいは一定の引き込み状態に達した後の少なくとも一方で第2の工程で複数サイクルに1回のみ更新する。

【0023】その更新アルゴリズムは、サイクル毎には送信信号シンボル値とエコーキャンセラの誤差出力の積を計算してその符号(サイン)のみを累積して、複数サイクルに1回累積値に対して適当なウエイトを乗じた値を元のタップ係数から差し引いたものを新しいタップ係数とする。この更新によって従来と同様のビット数の演算で高精度の係数更新制御を行うことができる。

【0024】さらにエコーキャンセラのタップ係数のうち、そのタップ係数が大きくなる可能性があるのは7〜8タップであり、それらのタップについては前述の第1、第2の工程で制御し、その他のタップについては第1のアルゴリズムによる更新制御を行う。

【0025】

【実施例】以下、図面を用いて本発明を詳細に説明する。図1はデジタル加入者線伝送インタフェース装置などに使われるエコーキャンセラの構成図である。エコーキャンセラはN次トランスバーサルフィルタであり、そのタップ係数 C_j が適応的に変化してエコーを打ち消す。

【0026】図1で送信信号 $a(n)$ はD/A変換後±1, ±3の4値となる信号であり、通常スクランブラにより擬似的にランダム化されている。ここで n はボーレート単位の時刻を表すとする。

【0027】送信信号 $a(n)$ が端子1より加わると、D/A変換回路2はデジタルの送信信号 $a(n)$ をアナログ信号に変換する。D/A変換器2で変換されたアナログ信号はハイブリッド回路3、ケーブル4を経て、相手側に送られるが、ハイブリッド回路3とケーブル4間のミスマッチのためエコーが帰ってくる。同時に遠端からの受信信号も加わってくる。この信号はA/D変換回路5でデジタルデータに変換される。尚、ここでこの受信信号とエコーとの和(デジタル値)を $y(n)$ とする。

【0028】一方、送信信号 $a(n)$ はD/A変換回路2の他にシフトレジスタ6に入力する。シフトレジスタ6は送信信号の基本クロックと同一のクロックで入力するデータをシフトする $N+1$ 段のシフトレジスタである。このシフトレジスタ6の各段の出力は乗算回路 $M_0 \sim M_N$ に加わり、係数更新制御回路7より出力されるタップ係数倍されて加算器9に加わる。加算器9はこれらの乗算回路 $M_0 \sim M_N$ の出力を加算し疑似エコー信号として出力する。エコーキャンセラのトランスバーサルフィルタの出力である疑似エコー $w(n)$ は次式で表される。

【0029】

【数2】

$$w(n) = \sum_{k=0}^N \{C_k \cdot a(n-k)\} \quad \dots\dots(1)$$

【0030】この疑似エコー $w(n)$ は加算器10に加わり、A/D変換器5で変換された受信信号とエコーとの和にさらに加算される。尚、加算器9の出力は加算器10のマイナス(−)端子に加わるので、結果的には差を求める。この出力は残差 $e(n)$ であり、
 $e(n) = y(n) - w(n) \quad \dots\dots(2)$
 で表わされる。この残差 $e(n)$ は受信した信号として*

*端子11より出力する。

【0031】この残差には遠端からの受信信号が含まれている。残差 $e(n)$ と送信信号 $a(n)$ は係数更新ブロックで例えば、

【0032】

【数3】

$$C_j - \alpha \operatorname{sgn}[e(n) \cdot a(n-j)] \rightarrow C_j \quad \dots\dots(3)$$

【0033】但し $j=0, 1, \dots, N$ の処理がなされ、タップ係数 C_j は $\pm\alpha$ ずつ変化していく。ここで α は正の数でステップサイズと呼ぶ。

※号 $y(n)$ を次のようにおく。

【0035】

【数4】

【0034】以下に定性的な説明をするために、受信信※

$$y(n) = R(n) + \sum_{i=0}^{NN} \{E_i \cdot a(n-i)\} \quad \dots\dots(4)$$

【0036】ここで $R(n)$ は遠端からの受信信号である。また E_i は送信信号が1個だけ送信された時のエコーの応答特性のサイクルおきの振幅である。一例を図5に示す。この特性はエコーの孤立波応答特性とも呼ばれるが、その振幅はかなり長いサイクル零にならない。★

★(4)式では $NN+1$ サイクルまで続くとしている。

20 【0037】式(1)、(4)を(2)に代入する。

【0038】

【数5】

$$e(n) = R(n) + \sum_{i=0}^{NN} \{E_i \cdot a(n-i)\}$$

$$- \sum_{k=0}^N \{C_k \cdot a(n-k)\} \quad \dots\dots(5)$$

【0039】この式の両辺に $a(n-j)$ を掛けると 30 ☆【数6】

【0040】

$$e(n) \cdot a(n-j) = R(n) \cdot a(n-j)$$

$$+ \sum_{i=0}^{NN} \{E_i \cdot a(n-i)\} \cdot a(n-j)$$

$$- \sum_{k=0}^N \{C_k \cdot a(n-k)\} \cdot a(n-j)$$

.....(6)

【0041】となる。式(6)の右辺について長いサイクルに渡ってどう変化するか考慮すると次のように分析される。まず遠端からの受信信号 $R(n)$ を含んでいるが、この信号もスクランブラにより擬似的にランダム化されており、その信号と前述のようにランダム化した送信信号 $a(n-j)$ との積の平均値はある程度長い期間でみた場合0になる。尚、 $R(n)$ は伝送路の歪みのた◆
 $i = j \quad k = j$

◆め±1、±3のような離散信号ではなくなっているが、ランダム性は維持されている。また、(6)式の右辺の第2項、第3項についても、時刻 n が異なる送信信号間の相関は0であるから、その積の平均値は0になる。従って、

【0042】

【数7】

.....(7)

【0043】以外の項については、ある程度長い期間で*50*みると正になる確率と負になる確率が同じである。以上

7

のように(6)式の多くの項はそれ自体で正になる確率と負になる確率が等しく、それらを加えたものである、 $i = j$ 、 $k = j$ 以外の全ての項と第1項の和もまた正になる確率と負になる確率が同じである。

$$C_j = E_j$$

【0046】が成り立つならば0になるが、長期的にもそれ以外は0にならない。以上のことを踏まえて検討すると、(3)式は(6)式を計算して、その符号が正なら現タップ係数 C_j からステップサイズ α を引き、その符号が負なら現タップ係数 C_j にタップサイズ α を加えることを意味している。よって、個々のサイクルには、現タップ係数 C_j は遠端からの受信信号 $R(n)$ や送信信号の値によって正負に振れるが、長期的には振幅 E_j のみに左右されて、(8)式が成り立つ方向に収束していく。※

$$\sigma^2 = \alpha^2 \cdot 1/2 + (2\alpha)^2 \cdot (1/2)^2 + (3\alpha)^2 \cdot (1/2)^3$$

$$+ (4\alpha)^2 \cdot (1/2)^4 + \dots$$

$$= 6 \cdot \alpha^2$$

$$\sigma = 2.45 \cdot \alpha$$

【0049】のようになる。ここで σ は分散係数である。この結果通常最悪ケースと考える 3σ は $7.35 \cdot \alpha$ となり、 α の精度に比べて約3 bit分大きくふれることになる。従ってステップサイズは固定タップ係数のとき必要な最小bitにくらべて3~4 bit小さくしておく必要がある。何故なら固定タップ係数の場合の係数のずれの最大値は最小精度の $\pm 1/2$ にすぎないからである。

【0050】減衰量60dB以上をとる場合、トランスバースフィルタとして丸め誤差からきまるタップ係数の語長が16 bit程度になるため、 α は19~20 bit精度の値★30

$n \neq n/L * L$ (n が L の整数倍でない)の時

$$\beta_j = \beta_j + \alpha \cdot \text{sgn} [e(n) \cdot a(n-j)]$$

.....(10)

【0054】

$$C_j \rightarrow C_j$$

☆ ☆【数11】

.....(11)

【0055】

$n = n/L * L$ (n が L の整数倍)の時

◆ ◆【数12】

$$C_j = \beta_j \cdot r \rightarrow C_j$$

.....(12)

【0056】

$$0 \rightarrow \beta_j$$

* *【数13】

.....(13)

【0057】の処理を行う。ここで L は2より大きい整数であり、通常32~64程度の値であり、 r は例えば0.25のように1に比べてかなり小さい正の数である。 α はステップサイズであり、係数の精度から許される最小値である。

【0058】(10)~(13)式の処理では、 $n \neq n/L * L$ ※50

8

*【0044】また、(7)が成り立つ項については、
【0045】
【数8】

.....(8)

※【0047】しかしながら、(3)式から導かれる現タップ係数 C_j は、信号のランダム性を利用して確率的に徐々に正解値である振幅 E_j に収束させるものであり、1サイクルに現タップ係数 C_j は α だけ変化できるとすると、収束後も短期的に正解値に対して正負両方向に α の数倍大きい値までずれる場合がある。このような場合、平均的なずれである標準偏差 σ は

【0048】

【数9】

.....(9)

★になるのである。

【0051】このため本発明では、エコーキャンセラが引き込みを開始してから、充分な時間が経過して、エコーキャンセラはかなり良い引き込み状態にある、 $n \geq EN$ において、アルゴリズムを変更する。

【0052】 $n \geq EN$ において、係数更新処理を(3)式の代わりに、例えば

【0053】

【数10】

※のときの β_j は、(6)式の極性の累積値に α を掛けただけになる。勿論 $n = n/L * L$ で β_j はクリアされる。また $n \neq n/L * L$ の間はタップ係数は固定する。そして $n = n/L * L$ のになると β_j に比例定数 r を掛けた値だけ、タップ係数を更新する。

【0059】図2は前述の第1の実施例のフローチャー

トである。シフトレジスタ6が送信信号 $a(n)$ をシフトするたびに実行する。実行を開始するとステップS4で疑似エコー $w(n)$ と誤差 $e(n)$ を求める。このステップS4は従来のステップS1と同様である。尚、これは図1における加算器9、10、乗算器 $M_0 \sim M_N$ によって求められる。

【0060】続いて n が EN 以上であるかをステップS5で求める。 n が EN 以上でない時(NO)、換言するならば、 n が EN 未満の時にはステップS6で各タップに対応したタップ係数を係数更新制御回路7は求める。このステップS6は従来のステップS2と同様である。そしてステップS6の後は図1のクロックに対応する処理を終了する。 n が EN 未満である時には従来と同様の処理となる。

【0061】一方、ステップS5で n が EN 以上と判別した時には、ステップS7で $n = n/L * L$ が成り立つかを判別する。この式は n が L の整数倍であるかを判別する式であり、整数倍である時にはこの式が成立する。

【0062】整数倍でない時(NO)にはステップS8を実行し、 $\alpha \cdot \text{sgn}[e(n) \cdot a(n-j)]$ の値を累算す *20

$$7.35 \cdot \alpha > \beta_j > -7.35 \cdot \alpha$$

$$1.84 \cdot \alpha > \beta_j \cdot r > -1.84 \cdot \alpha \quad \dots\dots(14)$$

【0067】となる。係数が16 bit精度である場合にはタップ係数が最悪15 bit精度の最小精度に対応する値に近い量だけ変化する場合があることを示している。

【0068】この結果、従来全ての処理を16 bitで処理したとき、最悪ケースでステップサイズの8倍の大きさまでジグザグに変化していたのが、最悪ケースで2倍以下に収まり、廻り込み減衰量の劣化も減少する。

【0069】以上のように本発明は、 L サイクルに渡り平均をとるという処理を導入することにより、ステップサイズは大きいままで、確率的処理のために生じるジグザグ性のふれを小さくできる。但し L サイクルに1回しかタップ係数の更新を行わないから、更新の速度は従来の場合に比べて遅くなる。しかし、既にほぼ引き込んでおり、タップ係数は目的の値のすぐ近い値になっており、あとはステップサイズを小さくしてより精密に近づけて、廻り込み減衰量をより大きくするという段階の場合では、その速度は問題ではない。

【0070】実施例1では、(10)~(13)の処理を全てのタップ係数に対して実施することを想定しているが、一部のタップ係数に対してのみ実施することも可能である。尚、これらの処理は従来のタップ係数更新処理に比べて、その処理量は特に増えることはないが、パラメータ β_j の導入により、必要なメモリは増加する。

【0071】このメモリの増加を防ぐために、第2の実施例ではタップ係数の大きくなる可能性のあるタップについてのみ、(10)~(13)の処理を行い、その他のタップの係数については、例えば本当のタップ係数の8倍の値※50

*る。すなわち、 $B_j + \alpha \cdot \text{sgn}[e(n) \cdot a(n-j)]$ を扱う B_j に格納する処理を行う。そして、 $C_j(n+1)$ を $C_j(n)$ とする。これはタップ係数を変化させないことを表わしている。これを0~ N タップ分言い、ステップS8を終了すると共に1回のクロックに対応する処理を終了する。

【0063】また、 n が L の整数倍である時(YES)には、今まで累算した B_j を r 倍(正の定数)し、その値をタップ係数 $C_j(n)$ から引いた値を次のタップ係数 $C_j(n+1)$ とし、さらに B_j をクリアする。尚、この処理は0~ N タップ分行う。

【0064】ステップS9の後は、図1のクロックに対応する処理を終了する。以上の動作を順次クロックに対応して実行する。この時、タップ係数は L 回に1回変更になる。

【0065】いま $L=48$ 、 $r=0.25$ の場合を例にとり(10)式を考える。前述の検討結果から、 3σ の最悪ケースに近い場合までを想定して、

【0066】

【数14】

※に対して、係数の更新を行うことによりそのステップサイズを大きくする。

【0072】図4に一例を示すエコーの孤立波応答特性は、ケーブルの長さ、種類、分岐ケーブルの有無などによって、その形は変わるが、その振幅が大きいのはどんな場合も7~8タップ迄である。ここまでのタップ係数の最大値を ± 1.0 とすると、それ以降のタップ係数は $\pm 1/8$ 以下になる。

【0073】図3は本発明の第2の実施例のフローチャートである。前述した如く処理を開始すると、ステップS10で疑似エコー $w(n)$ を求めるが、この時の演算は(15)式を用いている。そしてエコー $y(n)$ から疑似エコー $w(n)$ を引いた値を誤差 $e(n)$ とする。

【0074】続いて、 n が EN 以上であるかをステップS11で求める。 n が EN 以上でない時(NO)にはステップS12で各タップに対応したタップ係数を係数更新制御回路7は求める。そして、ステップS12の後は図のクロックに対応する処理を終了する。

【0075】一方、 n が EN 以上である時には、ステップS13でタップ番号が M から N までのタップ係数を(3)式と同様の値とする。そして、 $n = n/L * L$ であるかをステップS14で判別し、成立しない時(NO)には、タップ番号が0から $M-1$ までのタップ係数を今までの値と同じとすると共に B_j に $\alpha \cdot \text{sgn}[e(n) \cdot a(n-j)]$ を加算した結果を B_j とする。そして処理を終了する。またステップS14で $n = n/L * L$ が成立する時にはステップS16で $C_j(n+1)$ を $C_j - r$

1 1

・ β_j とし、さらに β_j を0とする処理を行う。但しJは0～M-1の間であり、その間のタップ係数 C_j (n+1)とサイン符号の累積和 β_j を更新する。

【0076】図3は第2の実施例のフローチャートを示すが、ここでは0～M-1までのタップについては、(10)～(13)の処理を実施し、Mタップ以降についてはタップ係数×B (B<1)が真のタップ係数であるとして、エコーキャンセラのトランスバースフィルタの出力を求める積和処理の時、(15)式に示すようにMタップ以降の積和値に対してBを掛ける。このようにすると、Mタ

$$w(n) = \sum_{k=0}^{M-1} \{ C_k \cdot a(n-k) \}$$

$$+ B \cdot \sum_{k=M}^N \{ C_k \cdot a(n-k) \} \quad \dots\dots (15)$$

【0078】なお、以上の本発明の説明では全ての係数更新についてサインアルゴリズムであるとしてきたが、実際には(3)、(10)などの式においてサイン処理をはずした処理も可能である。また本発明の第1の工程をさらに2つのサブ工程に分け、初めの工程ではサイン処理をはずした処理を行い、後の工程でサインアルゴリズムを実施する場合もある。そのようなケースに対しても本発明は有効であり、サイン符号がない場合も本発明の請求範囲に含まれることは言うまでもない。

【0079】

【発明の効果】本発明を適用することにより、従来エコーキャンセラ故に信号処理部分の係数語長を例えば20 bitと長くしていたものを、例えば16 bitのように短くできるので、メモリのみならず演算回路もその回路規模を

【0080】さらに低 bit処理が可能になると処理速度を上げることができるから、ハードウェアの設計が楽になるという効果もある。さらに、16 bit処理が可能になるため汎用のデジタル信号処理プロセッサによってデ※

1 2

* ップ以降の係数 C_k は従来の場合に比べて、1/B倍と大きな値になるから、その値に対して従来と同じ α を用いた場合、真のタップ係数である $B \cdot C_k$ に対しては等価的に $\alpha \cdot B$ がステップサイズになる。例えば $B=1/8$ とすることにより、実質的なステップサイズを1/8にでき、従って確率的処理であるがために生じる廻り込み減衰量の劣化を小さくすることができる。

【0077】

【数15】

※ イジタル加入者線伝送インタフェース装置を構成することが可能になる。

【図面の簡単な説明】

【図1】本発明の実施例のエコーキャンセラの構成図である。

【図2】第1の実施例の処理フローチャートである。

【図3】第2の実施例の処理フローチャートである。

【図4】エコーの孤立波応答特性例図である。

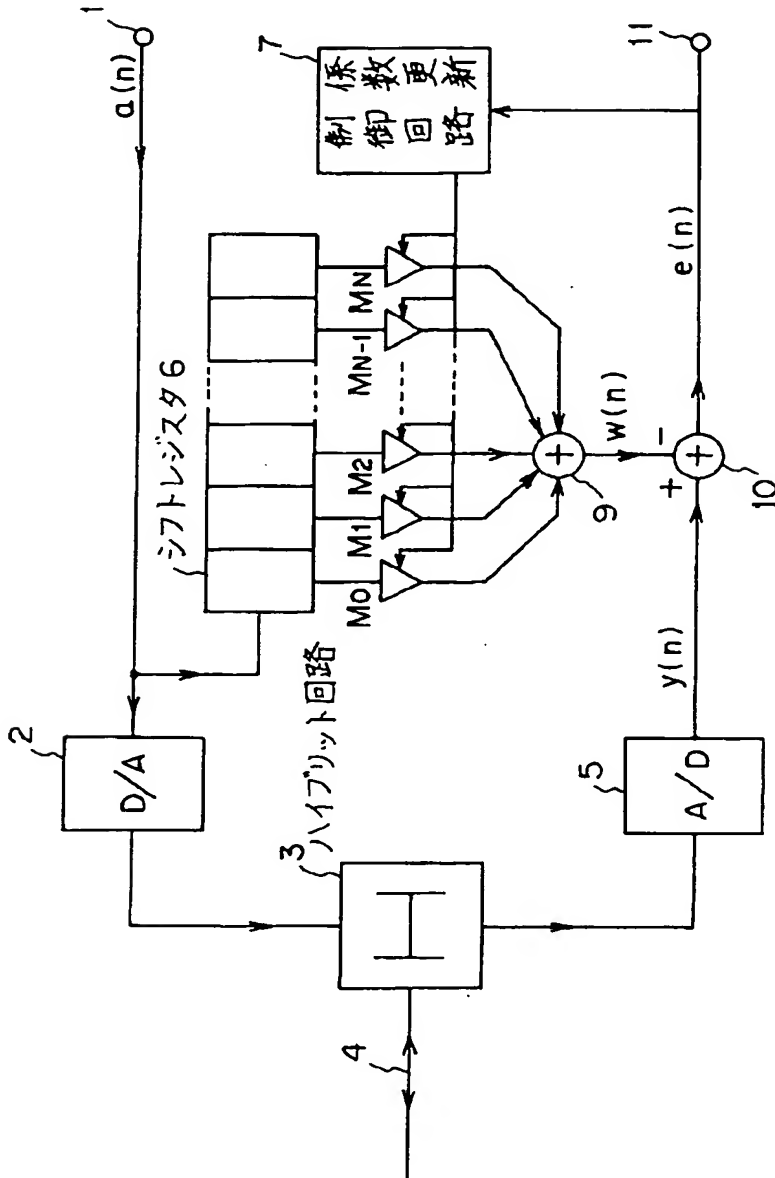
【図5】従来のエコーキャンセラの処理フローチャートである。

【符号の説明】

- | | |
|--------|----------|
| 1, 1 1 | 端子 |
| 2 | D/A変換回路 |
| 3 | ハイブリット回路 |
| 4 | ケーブル |
| 5 | A/D変換回路 |
| 6 | シフトレジスタ |
| 7 | 係数更新制御回路 |
| 9, 1 0 | 加算器 |

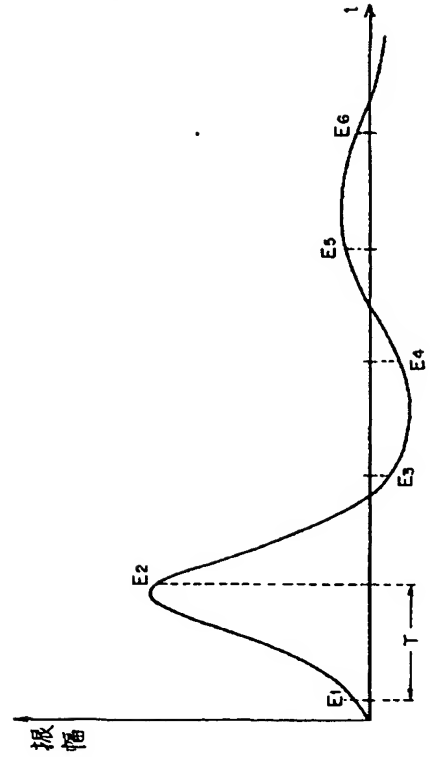
【図1】

本発明の実施例のエコ-キャンセラの構成図



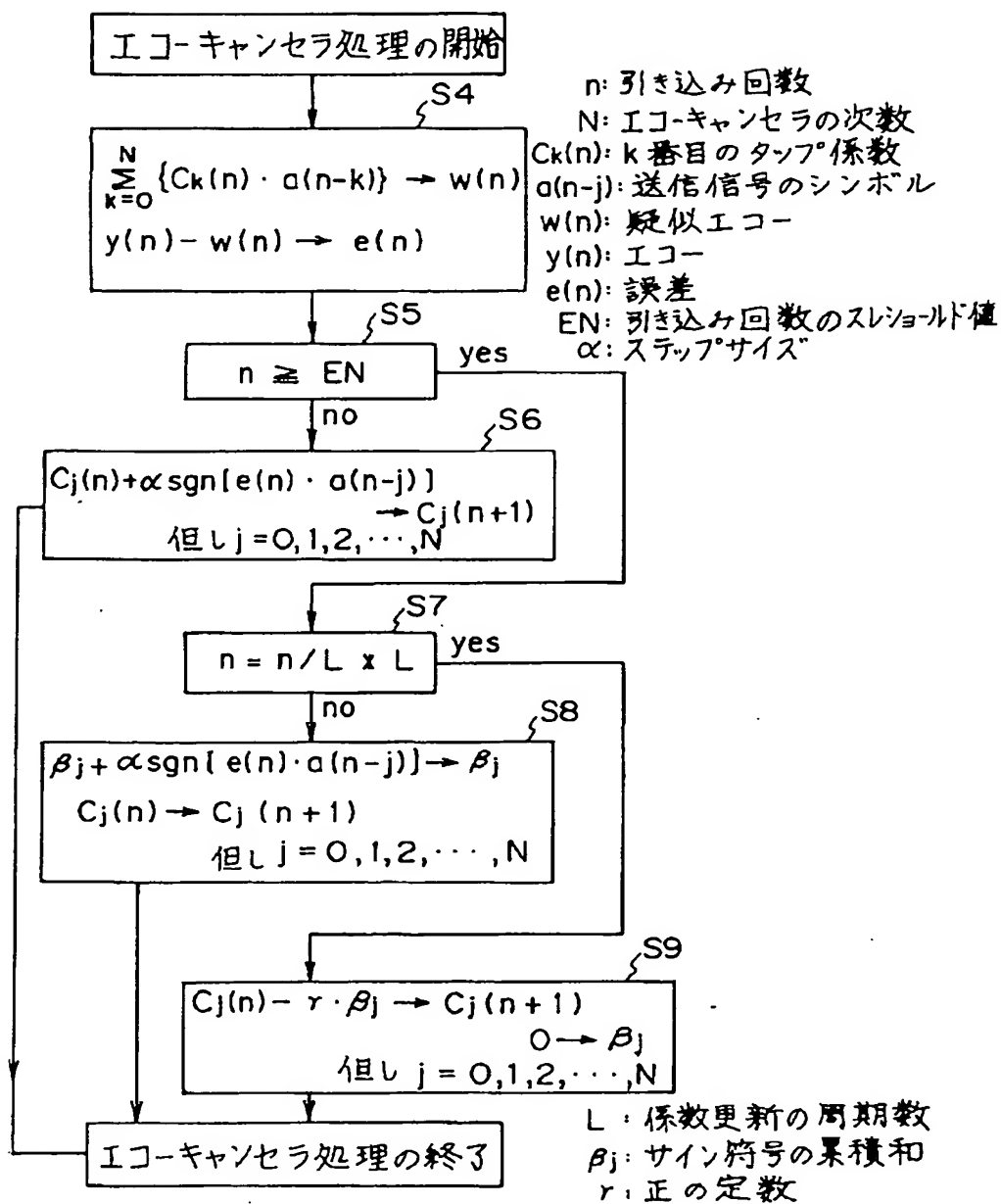
【図4】

エコ-の孤立波応答特性例



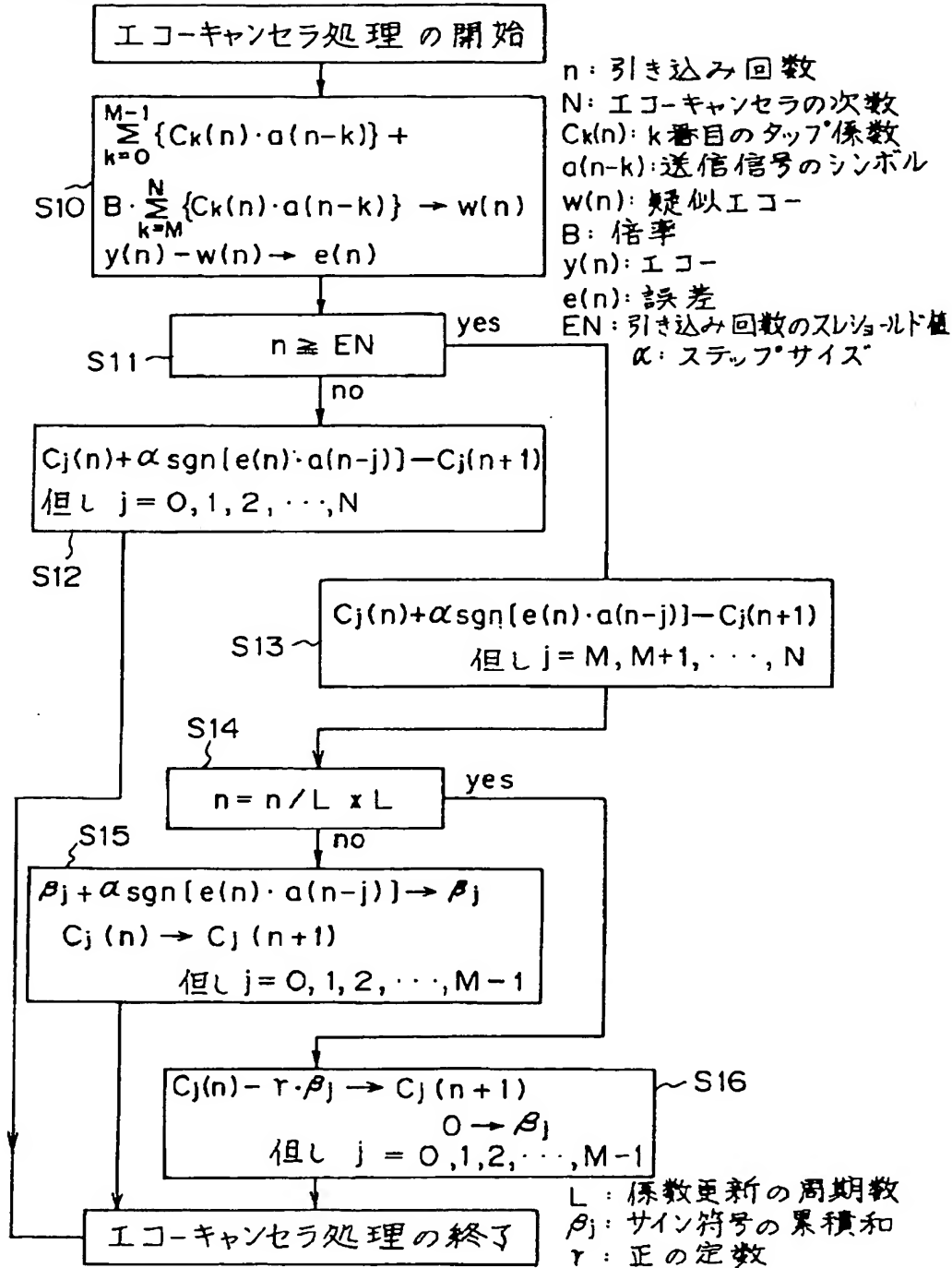
【図2】

第1の実施例の処理フローチャート



【図3】

第2の実施例の処理フローチャート



【図5】

従来のエコーキャンセラの処理フローチャート

